

## AUTOMATIC RECOVERY SYSTEM

|                            |                        |
|----------------------------|------------------------|
| <b>Patent number:</b>      | JP11316687             |
| <b>Publication date:</b>   | 1999-11-16             |
| <b>Inventor:</b>           | WISECUP GEORGE D       |
| <b>Applicant:</b>          | COMPAQ COMPUTER CORP   |
| <b>Classification:</b>     |                        |
| - international:           | G06F9/445; G06F12/16   |
| - european:                | G06F11/14A8E           |
| <b>Application number:</b> | JP19990028773 19990205 |
| <b>Priority number(s):</b> | US19980019178 19980205 |

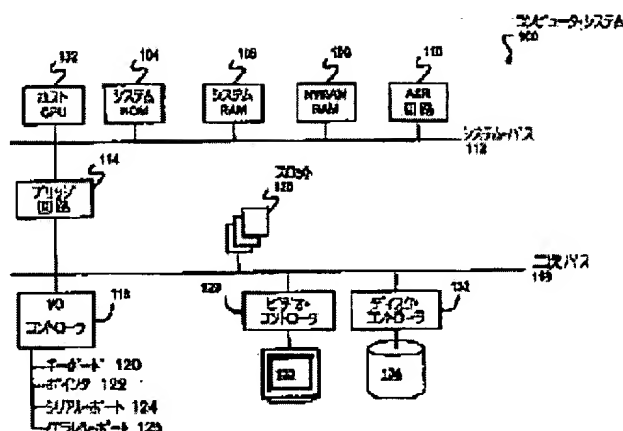
**Also published as:**

EP0936548 (A1)  
US6167532 (A1)  
EP0936548 (B1)  
DE69920072T (T2)  
DE69920072D (T2)

**Report a data error here**

## Abstract of JP11316687

**PROBLEM TO BE SOLVED:** To appropriately recover from a system error which occurs during a start process. **SOLUTION:** A system ROM 104 stores plural boot-enable flash images and includes an unprogrammable boot block, and a non-volatile RAM 108 stores status information showing which flash image is selected. A CPU 102 tests completeness of the selected image and when it is complete, that image is executed but when it is not complete, another flash image is selected. Then, the completeness is tested and when it is found to be complete, this image is executed. Thus, a system can be automatically recovered without executing any incomplete flash image.



Data supplied from the **esp@cenet** database - Worldwide

**BEST AVAILABLE COPY**

(11)特許出願公開番号

特開平11-316687

(43)公開日 平成11年(1999)11月16日

|                          |       |              |         |
|--------------------------|-------|--------------|---------|
| (51)Int.Cl. <sup>5</sup> | 識別記号  | F I          |         |
| G 0 6 F 9/445            |       | G 0 6 F 9/06 | 4 2 0 S |
| 12/16                    | 3 1 0 | 12/16        | 3 1 0 M |

審査請求 未請求 請求項の数54 OL (全 10 頁)

|             |                 |         |  |
|-------------|-----------------|---------|--|
| (21)出願番号    | 特願平11-28773     | (71)出願人 | 591030868<br>コンパック・コンピューター・コーポレーション<br>COMPAQ COMPUTER CORPORATION<br>アメリカ合衆国テキサス州77070, ヒューストン, ステイト・ハイウェイ 249, 20555 |
| (22)出願日     | 平成11年(1999)2月5日 | (72)発明者 | ジョージ・ディー・ワイズカップ<br>アメリカ合衆国テキサス州77070, ヒューストン, ロング・オーク・ドライブ 14918   |
| (31)優先権主張番号 | 019178          | (74)代理人 | 弁理士 社本 一夫 (外5名)  |
| (32)優先日     | 1998年2月5日       |         |  |
| (33)優先権主張国  | 米国(US)          |         |  |

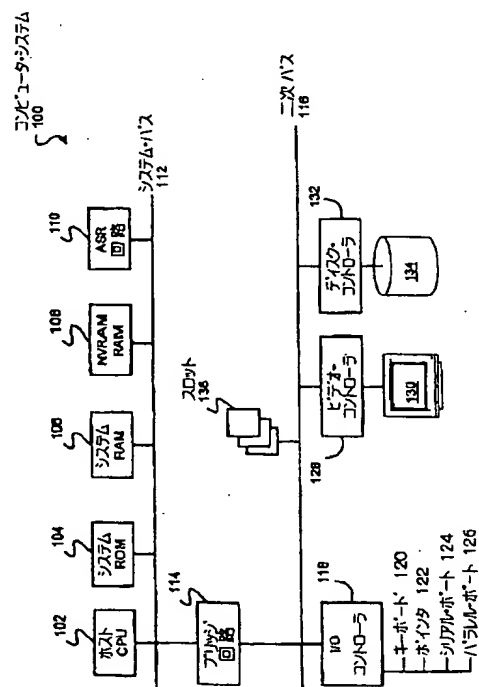
最終頁に続く

(54)【発明の名称】 自動リカバリ・システム

(57)【要約】

【課題】 起動プロセス中に発生するシステム・エラーを適切に回復させる。

【解決手段】システムROM104は、複数のブート可能なフラッシュ・イメージを格納するとともにプログラム不可能なブート・ブロックを含み、不揮発性RAM108がフラッシュ・イメージのどれが選択されたかを示すステータス情報を格納する。CPU102は、選択されたイメージの完全性をテストし、完全である場合に該イメージを実行し、不完全である場合に他のフラッシュ・イメージを選択する。そして、完全性をテストし、完全である場合に該イメージを実行する。これにより、不完全フラッシュ・イメージが実行されず、自動的にシステムのリカバリが可能となる。



## 【特許請求の範囲】

【請求項1】 コンピュータによる実行のためにメモリのブート可能パーティションを選択する装置であって、複数のブート可能イメージを記憶するよう構成された第1プログラマブル・メモリと、

前記複数のブート可能イメージのどれが選択されたかを示すステータス情報を記憶するよう構成された第2プログラマブル・メモリとを備えることを特徴とする装置。

【請求項2】 請求項1記載の装置において、前記第1プログラマブル・メモリが、電氣的消去可能なリード・オンリ・メモリであることを特徴とする装置。

【請求項3】 請求項1記載の装置において、前記第1プログラマブル・メモリが、更に、プログラム不可能なブート・ブロック部分を備えることを特徴とする装置。

【請求項4】 請求項1記載の装置において、前記第2プログラマブル・メモリが、不揮発性ランダム・アクセス・メモリであることを特徴とする装置。

【請求項5】 メモリのブート可能イメージを実行する装置であって、

複数のブート可能イメージを格納するよう構成された第1プログラマブル・メモリと、

前記複数のブート可能イメージのどれが予め選択されたかを示すステータス情報を格納するよう構成された第2プログラマブル・メモリと、

前記第1及び第2プログラマブル・メモリに動作可能に結合され、前記予め選択されたブート可能イメージを実行するよう構成されたコンピュータ・プロセッサとを備えることを特徴とする装置。

【請求項6】 請求項5記載の装置において、前記コンピュータ・プロセッサが更に、前記予め選択されたブート可能イメージを実行する前に、前記予め選択されたブート可能イメージの完全性チェックを行うよう構成されていることを特徴とする装置。

【請求項7】 請求項6記載の装置において、前記コンピュータ・プロセッサが更に、前記予め選択されたブート可能イメージが前記完全性チェックで不合格となった場合、第2のブート可能イメージを選択するよう構成されていることを特徴とする装置。

【請求項8】 請求項7記載の装置において、前記コンピュータ・プロセッサが更に、前記第2のブート可能イメージを実行する前に、前記第2のブート可能イメージの完全性チェックを行うよう構成されていることを特徴とする装置。

【請求項9】 請求項5記載の装置において、前記複数のブート可能イメージが、基本入出力システムの少なくとも一部の異なる複数のコピーを備えることを特徴とする装置。

【請求項10】 請求項5記載の装置において、前記第1プログラマブル・メモリが、電氣的に消去可能なリード・オンリ・メモリであることを特徴とする装置。

【請求項11】 請求項5記載の装置において、前記第2プログラマブル・メモリが、不揮発性ランダム・アクセス・メモリであることを特徴とする装置。

【請求項12】 請求項5記載の装置において、前記第1プログラマブル・メモリが更に、プログラム不可能なブート・ブロック部分を備えることを特徴とする装置。

【請求項13】 コンピュータ・システムにおいてメモリのブート可能イメージを実行する方法であって、第1メモリ中の複数のブート可能イメージの1つを予め選択するステップと、

前記予め選択したブート可能イメージのテストを実行するステップと、

前記予め選択したブート可能イメージが前記テストに合格した場合、前記予め選択したブート可能イメージを実行するステップと、

前記予め選択したブート可能イメージが前記テストに不合格の場合、第2メモリの第2ブート可能イメージを選択するステップとからなることを特徴とする方法。

【請求項14】 請求項13記載の方法において、前記予め選択するステップが、

前記複数のブート可能パーティションの1つを選択するステップと、

前記選択したブート可能パーティションを識別するインディケータを第3メモリに格納するステップとを含むことを特徴とする方法。

【請求項15】 請求項13記載の方法において、前記第1メモリが電氣的に消去可能なリード・オンリ・メモリであることを特徴とする方法。

【請求項16】 請求項13記載の方法において、前記第2メモリが電氣的に消去可能なリード・オンリ・メモリであることを特徴とする方法。

【請求項17】 請求項14記載の方法において、前記第3メモリが不揮発性ランダム・アクセス・メモリであることを特徴とする方法。

【請求項18】 請求項13記載の方法において、前記複数のブート可能イメージの各々が、基本入出力システムの少なくとも一部を含むことを特徴とする方法。

【請求項19】 請求項13記載の方法において、前記テストが完全性検査であることを特徴とする方法。

【請求項20】 請求項13記載の方法において、該方法は更に、

前記第2のブート可能イメージのテストを行うステップと、

前記第2のブート可能イメージが前記テストに不合格の場合、更に別のブート可能イメージを選択するステップとを含むことを特徴とする方法。

【請求項21】 請求項13記載の方法において、前記メモリが更に、プログラム不可能なブート・ブロック部分を備えることを特徴とする方法。

【請求項22】 コンピュータ・システムをブートする

10

20

30

40

50

方法であって、

第1メモリ中の複数のブート可能イメージから1つを予め選択するステップと、

前記予め選択したブート可能イメージのテストを実行するステップと、

前記予め選択したブート可能イメージが前記テストに合格した場合、前記予め選択したブート可能イメージを実行するステップと、

前記予め選択したブート可能イメージが前記テストに不合格の場合、第2メモリの第2のブート可能イメージを選択するステップと、

前記第2のブート可能イメージのテストを実行するステップと、

前記第2のブート可能イメージが前記テストに不合格の場合、前記ブート・プロセスを中断するステップとからなることを特徴とする方法。

【請求項23】 請求項22記載の方法において、前記予め選択するステップが、

前記複数のブート可能パーティションの1つを選択するステップと、

前記選択したブート可能パーティションを識別するインジケータを第3メモリに格納するステップとを含むことを特徴とする方法。

【請求項24】 請求項23記載の方法において、前記第3メモリが不揮発性ランダム・アクセス・メモリであることを特徴とする方法。

【請求項25】 請求項22記載の方法において、前記第1メモリが電氣的に消去可能なリード・オンリ・メモリであることを特徴とする方法。

【請求項26】 請求項22記載の方法において、前記第2メモリが電氣的に消去可能なリード・オンリ・メモリであることを特徴とする方法。

【請求項27】 請求項22記載の方法において、前記第1メモリ及び前記第2メモリが同じメモリ・デバイスであることを特徴とする方法。

【請求項28】 請求項22記載の方法において、前記複数のブート可能イメージの各々が、基本入出力システムの少なくとも一部を含むことを特徴とする方法。

【請求項29】 請求項22記載の方法において、前記検査が完全性検査であることを特徴とする方法。

【請求項30】 請求項22記載の方法において、前記中断するステップが、

前記コンピュータ・ブート処理が障害を発生したことを識別するインジケータを第3メモリに格納するステップを含むことを特徴とする方法。

【請求項31】 請求項30記載の方法において、前記第3メモリが不揮発性メモリであることを特徴とする方法。

【請求項32】 コンピュータ・システムに早期自動システム・リカバリ機能を備える方法であって、

指定された期間の後に切れるように、自動システム・リカバリ・タイマをセットするステップと、

前記コンピュータ・システムの制御をオペレーティング・システムに移転する前に、前記自動システム・リカバリ・タイマの動作を開始するステップとからなることを特徴とする方法。

【請求項33】 請求項32記載の方法において、前記指定された期間が、前記コンピュータ・システムには使用可能な不揮発性メモリに格納されていることを特徴とする方法。

【請求項34】 請求項33記載の方法において、前記指定された期間が、ユーザによって指定されることを特徴とする方法。

【請求項35】 請求項32記載の方法において、該システムは更に、指定された期間の後に切れるように前記タイマをセットする前に、前記自動システム・リカバリ・タイマをテストするステップを含むことを特徴とする方法。

【請求項36】 コンピュータ・システムをブートする方法であって、

第1メモリ中の複数のブート可能イメージから1つを予め選択するステップと、

早期システム・リカバリ・オプションを予め選択するステップと、

直前のコンピュータ・システムのブート処理が成功したか否かについて判定を行うステップと、

前記直前のコンピュータ・システムのブート処理が成功しなかった場合、第2メモリの第2ブート可能イメージを選択するステップとからなることを特徴とする方法。

【請求項37】 請求項36記載の方法において、該方法は更に、

前記直前のコンピュータ・システムのブート処理が成功した場合、前記予め選択したブート可能イメージを実行するステップと、

前記直前のコンピュータ・システムのブート処理が成功しなかった場合、前記第2のブート可能イメージを実行するステップとを含むことを特徴とする方法。

【請求項38】 請求項36記載の方法において、該方法は更に、

前記第2のブート可能イメージを選択した後で、かつそれを実行する前に、該イメージのテストを実行するステップと、

前記第2のブート可能イメージが前記テストで不合格の場合、前記ブート・プロセスを中断するステップとを含むことを特徴とする方法。

【請求項39】 請求項38記載の方法において、前記ブート・プロセスを中断するステップが、前記コンピュータ・システムのブート処理が成功しなかったことを示すインジケータを第3メモリに格納するステップを含むことを特徴とする方法。

【請求項40】 請求項39記載の方法において、前記第3メモリが不揮発性ランダム・アクセス・メモリであることを特徴とする方法。

【請求項41】 請求項36記載の方法において、前記予め選択するステップが、前記複数のブート可能パーティションの1つを選択するステップと、前記選択したブート可能パーティションを識別するインディケータを第3メモリに格納するステップとを含むことを特徴とする方法。

【請求項42】 請求項41記載の方法において、前記第3メモリが不揮発性ランダム・アクセス・メモリであることを特徴とする方法。

【請求項43】 請求項36記載の方法において、直前のコンピュータ・システムのブート処理が成功だったか否かについて判定するステップが、第3メモリからインジケータを読み取るステップを含むことを特徴とする方法。

【請求項44】 請求項43記載の方法において、前記第3メモリが不揮発性メモリであることを特徴とする方法。

【請求項45】 請求項36記載の方法において、前記第1メモリが、電氣的に消去可能なリード・オンリ・メモリであることを特徴とする方法。

【請求項46】 請求項36記載の方法において、前記第2メモリが、電氣的に消去可能なリード・オンリ・メモリであることを特徴とする方法。

【請求項47】 請求項36記載の方法において、前記第1及び第2メモリが同じメモリであることを特徴とする方法。

【請求項48】 請求項36記載の方法において、前記複数のブート可能イメージの各々が、基本入出力システムの少なくとも一部を含むことを特徴とする方法。

【請求項49】 請求項38記載の方法において、前記テストが完全性検査であることを特徴とする方法。

【請求項50】 請求項36記載の方法において、該方法は更に、直前のコンピュータ・システムのブート処理が成功であったか否かについて判定を行う前に、前記予め選択したブート可能イメージをテストするステップを含むことを特徴とする方法。

【請求項51】 コンピュータ・システムであって、バスと、

前記バスに動作的に結合された処理装置と、

前記バスに動作的に結合され、複数のブート可能イメージを記憶するように構成された第1プログラマブル・メモリと、

前記バスに動作的に結合され、前記複数のブート可能イメージのどれが、コンピュータ・システムのスタートアップ時にロードするために選択されたかを示すステータ

ス情報を記憶するように構成された第2プログラマブル・メモリとを備えることを特徴とするコンピュータ・システム。

【請求項52】 請求項51記載のコンピュータ・システムにおいて、前記第1プログラマブル・メモリが、電氣的に消去可能なリード・オンリ・メモリであることを特徴とするコンピュータ・システム。

【請求項53】 請求項51記載のコンピュータ・システムにおいて、前記第1プログラマブル・メモリが、更に、プログラム不可能なブート・ブロック部分を備えることを特徴とするコンピュータ・システム。

【請求項54】 請求項51記載のコンピュータ・システムにおいて、前記第2プログラマブル・メモリが、不揮発性ランダム・アクセス・メモリであることを特徴とするコンピュータ・システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に、障害リカバリ（回復）・システムに関し、更に特定すれば、システムのスタート・アップ（起動動作）中のシステム障害を検出してこれに対処することが可能であり、更に多数のシステム・メモリ間でスタート・アップ動作中に使用するものを選択可能なシステム及び方法に関するものである。

【0002】

【従来の技術】動作中に発生する障害から保護するために、コンピュータ・システムは、自動システム・リカバリ（ASR: Automatic System Recovery）技術を採用する場合がある。ASR技術は、通常の動作中に発生する、要素又はメモリの障害のような、致命的なエラーからコンピュータ・システムを保護するように設計されている。ASR技術を採用するコンピュータ・システムは、システムのリード・オンリ・メモリ（ROM）の第1部分からの信頼できる命令を、最初に実行することによって、動作（電力投入又はリブート時）を開始する。次に、ROMの第2部分がシステムのランダム・アクセス・メモリ（RAM）にロードされ、これを実行して初期スタートアップ（起動）動作を完了する。スタートアップ動作の完了時に、コンピュータ・システムのオペレーティング・システムがロードされ、ASRがイネーブルされる。本発明の目的は、スタートアップ動作中に発生するコンピュータのシステム・エラーからコンピュータを適切にリカバリ（回復）させるための装置及び方法を提供することである。

【0003】

【課題を解決するための手段】本発明の一実施形態では、第1プログラマブル・メモリが複数のブート可能イメージを含み、第2プログラマブル・メモリが複数のブート可能イメージの内、どれをスタートアップ中に使用するために選択するかを示す情報を含む。最初に選択

したブート可能イメージ内にエラーが検出された場合、複数のブート可能イメージから別のものが選択され、コンピュータ・システムのスタートアップ動作を継続する。他の実施形態では、コンピュータ・システムの制御がオペレーティング・システムに移転される前に、コンピュータ・システムの自動システム・リカバリ・タイマをセットし起動する。

【0004】本発明は、以下にあげる利点を1つ以上含むが、これらに限定される訳ではない。

(1) システム・ブート・プロセスの間に発生するエラーを識別し、これに応答することができる。

(2) 複数のシステムROMの一部を選択し、そこからブート命令を実行することができる。

(3) 起動プログラム命令が不適正に変更されたシステムは、システムを再ブートする必要なく、これらの命令のバックアップ版にアクセスすることができる。

【0005】

【発明の実施の形態】図1には、自動システム・リカバリ(ASR)機能を有するコンピュータ・システム100が示されており、該システムは、ホスト・プロセッサ(CPU)102、リード・オンリ・メモリ(システムROM)104、ランダム・アクセス・メモリ(システムRAM)106、不揮発性RAM(NVRAM)108、及びASR回路110を含み、これらは全てシステム・バス112に接続されている。ホスト・プロセッサ102は、インテル社のプロセッサペンティアム、ペンティアム・プロ、及び80X86ファミリを含む。システムROM104は、電気的に消去可能なプログラマブルROM(EEPROM)のような、リード・オンリ・メモリのプログラム可能なものを用いることができる。本発明のシステムに用いる形式のリプログラマブルROMは、通常FLASH ROM(フラッシュROM)と呼ばれている。不揮発性RAM108は、システム100の電源を遮断した後も格納した情報を保持することが可能なCMOSメモリ・デバイスとすることができる。ASR回路110は、典型的に、メモリ、タイマ回路、クロック回路、及び制御ロジックを含む。ASR回路110の機能は、そのタイマ時間が満了したときに、リカバリ/リセット動作を開始することである。通常動作の間、ASRのタイマは周期的に再初期化され、(その後、タイマはその計時機能を再開する)、不要なリセット動作を防止する。本願出願人に譲渡された、Burckhardt et al. (バークハート等)による"Computer Failure Recovery and Alert System"(コンピュータ障害リカバリ及び警報システム)と題する米国特許第5,390,324号は、代表的なASR回路について記載している。バークハート等の発明は、この言及により本願にもその全体が含まれるものとする。

【0006】図1のシステム100において、ブリッジ

回路114により、システム・バス112を二次バス116に結合している。二次バスは、例えば、周辺素子相互接続(PCI)バス、業界標準アーキテクチャ(ISA)バス、拡張業界標準アーキテクチャ(EISA)バス、又は1つ以上のこれらのバスの組み合わせとすることができる。入出力(I/O)コントローラ118が、ユーザ・キーボード120、ポインタ・デバイス122、シリアル・ポート124及びパラレル・ポート126へのインターフェースを提供している。二次バス116に結合される他のコンポーネントには、ビデオ・コントローラ・カード128及びこれに付随するディスプレイ130、ディスク・コントローラ・カード132及びこれに付随するディスク(1つのみを示す)134を含むことができる。また、二次バス116は、追加コンポーネントのためのスロット136を有することも可能である。

【0007】コンピュータ・システム100の電力投入時に、ホスト・プロセッサ102は、その動作パラメータ(その多くは、NVRAM108内に格納されている)をセットし、メモリを初期化し、システム・コンポーネントの検査及び初期化を行い、通常のユーザ動作を開始する前に、オペレーティング・システムをブートストラップする。電力がコンピュータ・システム100に供給されると、ホスト・プロセッサ102はパワー・オン・システム・テスト(POST: Power On System Rest)と呼ばれる、基本入出力システム(BIOS)プログラムの一部を実行し始める。図2に示すように、BIOSは、システムROM104のブート可能な複数のパーティションに永続的に格納することができる。一実施形態では、システムROM104は、変更不可能なブート・ブロック200、及び複数の追加のリプログラマブル・ブート可能パーティション(reprogrammable bootable partition)(その内2つのみをフラッシュ(FLASH)・イメージ202、204として図2に示す)を含んでいる。各フラッシュ・イメージ202、204は、異なるバージョンのBIOSコードを格納することができる。フラッシュ・イメージA及びB(すなわち202、204)の各々は、ブート・ブロック200と同じメモリ・デバイス内に実現することができる。同様に、フラッシュ・イメージA及びBはまた、ブート・ブロック200と別個のメモリ・デバイス内に置くことができる。

【0008】システムROMの1つのパーティション(以降、フラッシュROM104と呼ぶ)を再プログラム可能とすることにより、コンピュータ・システムのスタートアップ(起動)・コードを容易に更新することができる。多数のフラッシュ・イメージを有することにより、コンピュータ・システム100は(自動的に、又はユーザの制御の下で)、アップグレード・プロセスの

間、異なるバージョンのBIOSスタートアップ・イメージ間から選択すること、及び新たにロードしたフラッシュ・イメージが転化されていたりあるいは機能しない場合には、機能することが分かっている最後に用いたBIOSイメージに変更することができる。エラー・リカバリ（回復）の間に2以上のフラッシュ・イメージ間で選択を行なうプロセスのことを、フェイル・オーバー（fail-over）と呼ぶ。フェイル・オーバーについては、以下で更に詳しく論ずることとする。

【0009】次に図3を参照して、システム・スタートアップ・プログラム300及びPOSTプログラムの実行について説明する。スタートアップ処理は、ASRリセット・ルーチンの実行から開始し（ステップ302）、続いてASR POSTルーチンの実行が続く（ステップ304）、更にBIOS POSTルーチンの実行が続く（ステップ306）。これら3つのルーチンは全て、フラッシュROM104のブート・ブロック200以外で実行される。BIOS POSTルーチンが首尾よく完了したことに続いて、選択したフラッシュ・イメージをシステムRAM106にロードし（ステップ308）、スタートアップ動作を従来通りに継続する（ステップ310）。BIOSによるPOST処理の最後に行われる動作は、オペレーティング・システムを探して、これに制御を移転することである（ステップ312）。この最後のステップは、オペレーティング・システムを「ブートストラップする」として知られている。BIOSスタートアップ動作（ステップ310）及び制御のオペレーティング・システムへの移転（ステップ312）は、選択したフラッシュ・イメージからシステムRAM106にロードされた命令によって制御される。

【0010】ASRリセット・ルーチン（ステップ302）は、ASRパラメータを初期化し、ASR回路のタイマを既知の状態に置き、POSTルーチンのこの部分の間にタイマがタイム・アウト（即ち、リセット動作を開始）しないようにする。ASRパラメータは、NVRAM108に格納すればよく、以下のフラグを含んでいる。

・最後のすなわち最新のシステム・リセットがASRタイマによって行われたか否かを示すリセット（RESET）・フラグ

・ASRタイマがイネーブルされているか否かを示すタイマ・イネーブル（TIMER ENABLED）フラグ

・システム・メモリ・エラーのためにプログラムを中断すべきか否かを示す停止（HALT）フラグ

・コンピュータ・システム100が診断プログラムを実行すべきか否かを示すブート・ユーティリティ（BOOT UTILITIES）・フラグ

・ASR診断プログラムが進行中か否かを示す診断（D

IAGS）フラグ

・ASRタイマが検査で合格したときを示す周波数テスト（FREQUENCY\_TEST）フラグ及びリセット・テスト（RESET\_TEST）フラグ

・コンピュータ・システム100がそのオペレーティング・システムにブートすべきことを示すブートOS（BOOT\_OS）フラグ

【0011】ASR POSTルーチン（ステップ304）は、ASRタイマを検査し、初期化する。タイマがその動作検査に合格した場合、周波数テスト・フラグ及びリセット・テスト・フラグをセットし、ASRタイマの指定タイム・アウト時間を表す値をタイマにロードする。BIOS POSTルーチン（ステップ306）は、早期ASR保護がイネーブルされているか否か、フェイル・オーバー機能、及びシステム・スタートアップの残りの間（ステップ310、312）に実行すべきフラッシュ・イメージはどれか（例えば、202又は204）について判定を行なう。

【0012】BIOS POSTルーチン306の実行中には、図4に示すような多数のBIOSパラメータ400（NVRAM108に格納されている）を用いる。各パラメータは、BIOSの予め選択されている特定の機能を表すものであり、以下のパラメータを含んでいる。

・どのフラッシュ・イメージ（図2参照）をロードすべきかを示すイメージ（IMAGE）・フラグ402

・リカバリ動作が別のフラッシュ・イメージを用いるべきかを示すフェイル・オーバー（FAIL-OVER）・フラグ404

・フェイル・オーバー・フラグと共同で、早期ASR保護がイネーブルされているか否かを示すスタート済（STARTED）フラグ406

・システムがスタートアップ・プロセスを首尾よく完了したか否かを示す完了済（COMPLETED）フラグ408

完了済フラグは、オペレーティング・システムによってのみ、完了したことを示すYESにセットすることができる。2つ以上のフラッシュ・イメージが存在する場合、イメージ・パラメータ（すなわちイメージフラグ402）を拡張しなければならない。例えば、コンピュータ・システムがブート可能なフラッシュ・イメージが4つある場合、イメージ・フラグは2ビットとする必要がある。

【0013】ユーザが選択可能なBIOSパラメータ400は、図5に示すBIOSコンフィギュレーション・ルーチン500を通じてセットする。まず、ユーザは、可能なフラッシュ・イメージのどれをスタートアップ中にロードするかを指定することができる（ステップ502）。ユーザがフェイル・オーバー保護をイネーブルすることを選択した場合（ステップ504のYES分岐

10

20

30

40

50

路)、フェイル・オーバー・フラグ404をYESにセットし、スタート済フラグ406をNOにセットする(ステップ506)。次に、ASRタイマ時間(タイム・アウト時間)を設定するように、ユーザに催促する(ステップ508)。これは、例えば、5、10、15、20、又は30分とすることができる。完了時に、BIOSパラメータ設定値がNVRAM108に格納される(ステップ510)。フェイル・オーバー・リカバリが選択されない場合(ステップ504のNO分岐)、ユーザは早期ASR保護をイネーブルする場合がある。早期ASR保護が選択された場合(ステップ512のYES分岐)、フェイル・オーバー・フラグ404をNOにセットし、スタート済フラグ406をYESにセットし(ステップ514)、そして、処理はステップ508に進む。早期ASR保護が選択されない場合(ステップ512のNO分岐)、処理は510に進む。

【0014】次に図6を参照して、BIOS POSTルーチン306を説明する。このルーチンが開始されると、まずブート・イメージとして選択されたフラッシュ・イメージが有効か否かについて判定を行う(ステップ600)。フラッシュ・イメージの有効性は、例えば、メモリに格納されているフラッシュ・イメージの末尾における、特定の予め定義したビット・パターンの存在によって判定することができる。あるいは、フラッシュ・イメージのチェックサムを実行して、その有効性を判定することも可能である。指定されたフラッシュ・イメージが有効であり(ステップ600のYES分岐)、かつフェイル・オーバー・フラグ404、スタート済フラグ406及び完了済フラグ408がセットされていない場合(ステップ602~606のNO分岐)、処理は、ステップ608に進んで、選択されたフラッシュ・イメージへ分岐する。ステップ606において、完了済フラグがYESである場合(ステップ606のYES分岐)、指定されたイメージをステップ608において処理する前に、完了済フラグをNOにセットする(ステップ630)。

【0015】最初に指定したフラッシュ・イメージがステップ600において無効であると判定した場合、エラー状態(即ち、指定されたフラッシュ・イメージが無効である)が記録(log)され、かつ、BIOSパラメータが更新される(ステップ610)。エラーの記録は、ファイル内で検出された変則的な状況をも記録することを含んでいる。これは、多くの場合、ヘルス・ログ(health log)と呼ばれている。後の時点でヘルス・ログを再調査して、障害の原因が何であったのか、及び障害がシステム・リセットの原因になったのか否かについて判定することができる。

【0016】フェイル・オーバー処理は、ステップ610の後に開始され、図7に示したステップ612~620により実行される。指定されたフラッシュ・イメージ

をイメージAとし、これが無効である場合(ステップ612のYES分岐)、これをイメージBに変更する(ステップ614)。無効のフラッシュ・イメージがイメージAでない場合(ステップ612のNO分岐)、これをイメージAに変更する(ステップ616)。代替りのフラッシュ・イメージが選択された後、先に述べたのと同様にその有効性を検査する(ステップ618)。代替りのフラッシュ・イメージが無効である場合(ステップ618のNO分岐)、コンピュータ・システムのブート・プロセスを完了するための有効なフラッシュ・イメージは得られないことになる。この状況では、障害リカバリ・ルーチンに入る(ステップ620)。障害リカバリの目的は、コンピュータ・システム100を、修理可能な状態に置くことである。例えば、先に引用したBurckhardt et al.を参照のこと。代替りのフラッシュ・イメージが有効である場合(ステップ618のYES分岐)、処理はステップ608に進む。

【0017】ユーザがフェイル・オーバー・リカバリを指定し(図6のステップ602のYES分岐)、かつスタート済フラグ406がNOである場合(ステップ622のNO分岐)、スタート済フラグをYESにセットし、完了済フラグ408をNOにセットし、ASRタイマを起動する(ステップ624)。その後、BIOS POST処理は、ステップ608に進む。ユーザがフェイル・オーバー・リカバリを指定し(図6のステップ602のYES分岐)、かつスタート済フラグ406がYESであり(ステップ622のYES分岐)、完了済フラグ408がYES(図8のステップ626のYES分岐)である場合、フェイル・オーバー・フラグ404、スタート済フラグ406、及び完了済フラグ408をNOにセットし(ステップ628)、処理はステップ608に進む。ステップ626において完了済フラグ408がNOである場合、処理はステップ610に進む。

【0018】スタート済フラグ406が、ステップ622においてNOであると判定された場合、又はステップ604においてYESであると判定された場合、スタート済フラグをYESにセットし、完了済フラグ408をNOにセットし、ASRタイマを起動する(ステップ624)。ステップ624におけるASRタイマの起動により、早期ASR保護が提供される。早期ASRは、確立されたASR技法によって、ブート・プロセスの間(指定したフラッシュ・イメージがロードされる前、及びコンピュータ・システムの制御がオペレーティング・システムに移転される前。図3のステップ308~312)に発生したスタートアップ・エラーを処理することを可能にするものである。

【0019】BIOS POSTルーチンの完了時(ステップ620の障害リカバリに入らなかったと仮定する)、ブート・ブロック200から実行するスタートアップ命令は完了したことになる。指定されたフラッシュ



・イメージがシステムRAM106にロードされ(ステップ308)、スタートアップは従来通りに続けられる(ステップ310)。このスタートアップ(ブート)・プロセスにより、ユーザは、機能することがわかっているコードのファンクショナリティ(functionality)を放棄することなく、そのBIOSコードを更新し、新たなBIOSコードを検査することが可能となる。

【0020】前述のように、BIOSが行う最後の動作は、オペレーティング・システムのブート・ストラップ・ローダを開始することである(ステップ312)。ブート・ストラップ・ローダは、ディスク134(フロッピー、固定、又は光学)上の特定位置にあるオペレーティング・システムの探索を開始する。オペレーティング・システムのブート・レコードが見つかった場合、これをシステムRAM106にロードし、コンピュータ・システム100の制御を与える。こうして、コンピュータ・システム100は、システム・ディスクを収容したドライブからのオペレーティング・システムの残りをロードする準備ができたことになる。

【0021】コンピュータ・システム100の重要な特徴には、早期ASRの実施可能性及び多数のBIOS FLASHイメージの対応が含まれる。早期ASRは、ブート・プロセス(ステップ302ないし306)中に発生するスタートアップ・エラーが、確立されたASR技法によって処理され得るようにするものである。多数のBIOSフラッシュ・イメージによって、ユーザは、その既存のシステムのファンクショナリティを失う虞れなく、BIOSルーチンの更新、及び新たなBIOSルーチンの検査を行うことが可能となる。例えば、第1のフラッシュ・イメージはBIOSの既知の実施中のコピ\*

＊を含み、一方第2のフラッシュ・イメージはBIOSのアップグレードであるという場合があるであろう。アップグレードBIOSがロードされない場合、又はロードしたときに動作不能である場合(例えば、システム・リセットを発生するプログラム・コードが組み込まれているために)、コンピュータ・システム100は、動作することがわかっているフラッシュ・イメージに自動的に転換することができる。

【0022】前述の好適な実施形態の開示及び説明は、例示的なものに過ぎず、限定的に解釈すべきではない。サイズ、形状、材料、コンポーネント、回路素子、配線接続及び接点、ならびに図示した動作方法の詳細における種々の変更も、本発明の精神から逸脱することなく行うことができる。

【図面の簡単な説明】・

【図1】自動システム・リカバリ機能を有する例示のコンピュータ・システムを示すブロック図である。

【図2】マルチ・イメージのシステムROMの内容を示す説明図である。

【図3】システム・スタートアップ・ルーチンを示すフロー図である。

【図4】1組の基本入出力システム(BIOS)パラメータの例を示す説明図である。

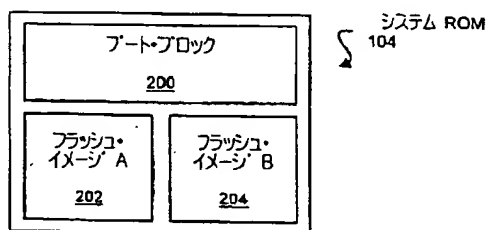
【図5】BIOSコンフィギュレーション・ルーチンを示すフロー図である。

【図6】BIOS POSTルーチンの一部を示すフロー図である。

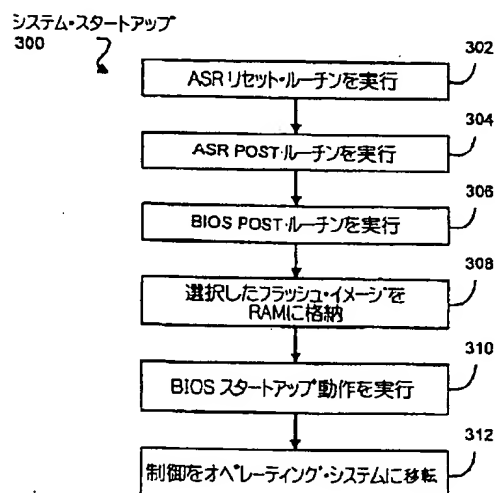
【図7】BIOS POSTルーチンの一部を示すフロー図である。

【図8】BIOS POSTルーチンの一部を示すフロー図である。

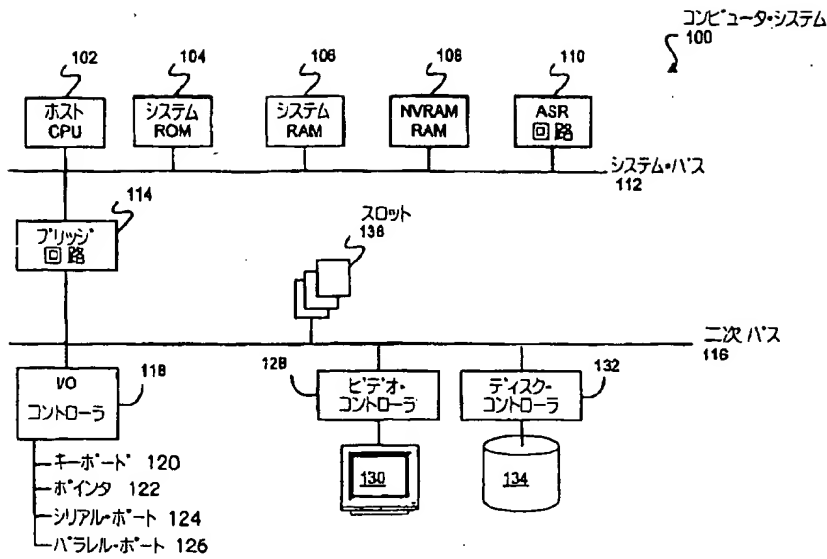
【図2】



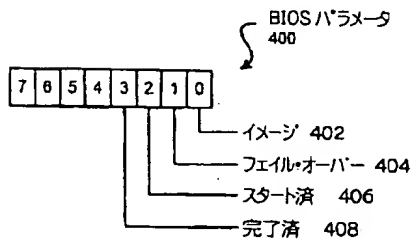
【図3】



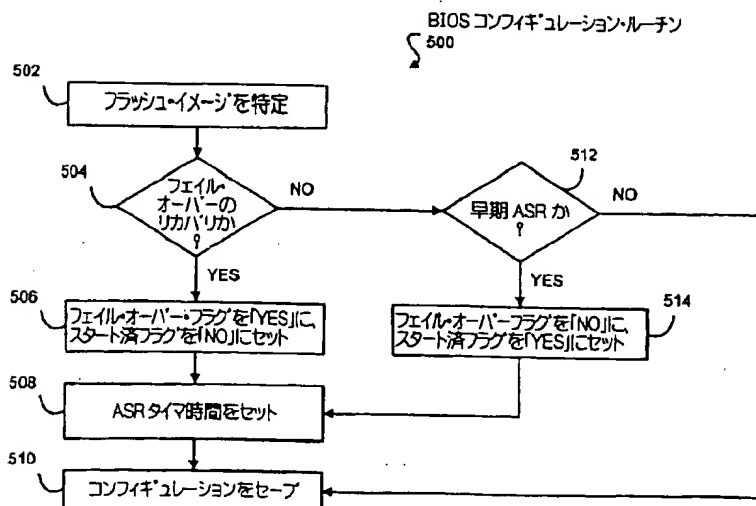
(図1)



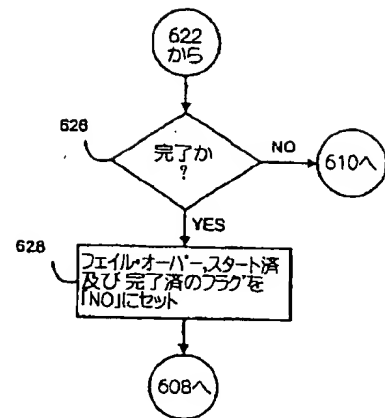
(図4)



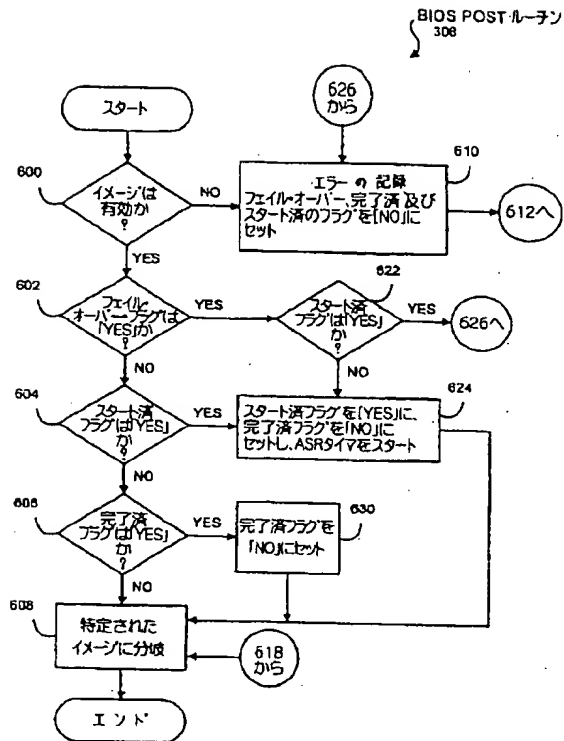
(図5)



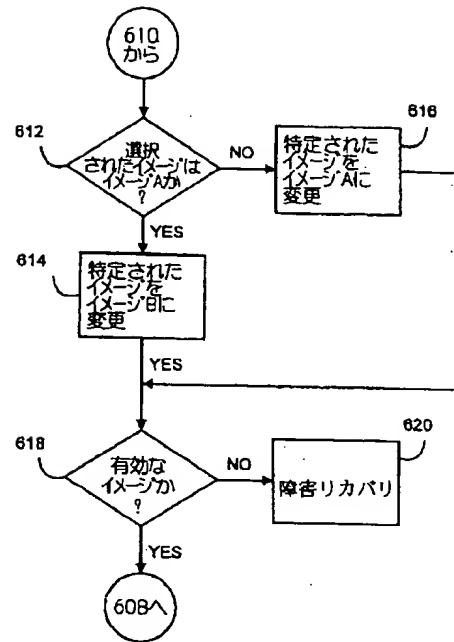
(図8)



【図6】



【図7】



フロントページの続き

(71)出願人 591030868  
 20555 State Highway  
 249, Houston, Texas  
 77070, United States o  
 f America

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**